

MEMORY UNIT

Patent Number: JP54137246
Publication date: 1979-10-24
Inventor(s): KUMAGAI YUTAKA
Applicant(s):: OKI ELECTRIC IND CO LTD
Requested Patent: JP54137246
Application Number: JP19780044126 19780417
Priority Number(s):
IPC Classification: G11C11/34 ; G11C7/00
EC Classification:
Equivalents: JP1142317C, JP57036672B

Abstract

PURPOSE: To reduce the number of the power terminals as well as to lower the power consumption at the memory holding time by connecting the memory cell part and the peripheral circuit part to the same power source and then applying the voltage only to the memory cell part at the time of low power voltage with no power applied to the periphery circuit part through a control circuit provided newly.

CONSTITUTION: In the memory to hold the memory information with the low power voltage, memory part 11 and memory peripheral part 12 are connected to the same power source V5, and transistor TrQ1 to supply the power to part 12 is connected in series between part 12 and V5. Also, the gate of TrQ1 and V5 are connected to power supply control circuit 13 to receive the control of driver TrQ2 and Q3 connected to power source V5 via resistance R1 and R2 provided at circuit 13. Thus, TrQ3 is made conducting with TrQ2 made nonconducting when the voltage is lowered at reference potential point P4 which is detected via TrQ4-Q6 plus resistance R3, and the low voltage is applied only to part 11. At the same time, the voltage to be applied to part 12 is cut off by TrQ1.

Data supplied from the esp@cenet database - 12

⑨日本国特許庁(JP)

⑩特許出願公開

⑫公開特許公報(A)

昭54—137246

⑪Int. Cl.²
G 11 C 11/34
G 11 C 7/00

識別記号 ⑬日本分類
97(7) C 13
97(7) C 1

庁内整理番号 ⑭公開
7010—5 B
7368—5 B

昭和54年(1979)10月24日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮記憶装置

⑯特 願 昭53—44126
⑰出 願 昭53(1978)4月17日
⑱発 明 者 熊谷豊
東京都港区虎ノ門1丁目7番12

号 沖電気工業株式会社内
⑲出 願 人 沖電気工業株式会社
東京都港区虎ノ門1丁目7番12
号
⑳代 理 人 弁理士 鈴木敏明

明 細 書

1. 発明の名称

記憶装置

2. 特許請求の範囲

低電源電圧で記憶情報の保持が可能なメモリに於て、メモリセル部とメモリ周辺回路部を同一電源に接続し且つ低電源電圧時にはメモリセル部のみ低電源電圧が印加され、メモリ周辺回路部には印加されないような制御回路を備えたことを特徴とする記憶装置。

3. 発明の詳細な説明

本発明は低電源電圧により記憶情報の保持が可能な記憶装置の電圧付加方式に関する。

一般に特別な電子のトラップ構造等を持たない半導体メモリは揮発性である為、電源の切断とともにその記憶情報は失われる。そのような半導体メモリを不揮発性メモリと同等に取り扱う手段として低電源電圧により記憶情報の保持を可能ならしめる方法があり、それらに使用されるデバイスとしては広範囲な電源電圧に対し動作可能なこと、

(1)

又低消費電力であることが不可欠である。

従来この種の低電源電圧によるバックアップメモリとして相補型の絶縁ゲート型電界効果トランジスタ(以下モストランジスタと称す)なるものが主流をしめていたが、最近になつてNチャンネルモストランジスタにおいてもそのような試みがなされている。その一例はメモリの電源電圧を複数にし、周辺回路部とメモリセル部との電源系統を分離する方法である。

従来の低電源電圧により記憶情報の保持が可能なメモリの概念図を第1図に示す。共通の電源電圧 V_1 がメモリセル部1と周辺回路部2に接続されている。この方式では電源電圧 V_1 が低レベルとなる記憶情報の保持時においてもメモリ全体への電流供給が必要となる。

次に従来の改良された上記メモリの概念図を第2図に示す。ここではメモリセル部3の電源電圧 V_3 と周辺回路部4の電源電圧 V_4 とは各々独立である。通常メモリ動作時には電源電圧 V_3 及び V_4 にはそれぞれ同電位(たとえば5V)が加え

(2)

られているが、低電源電圧における記憶情報の保持時には電源電圧 V_1 はしや断され電源電圧 V_2 にのみ低電圧(たとえば1.5~3V)が加えられる。試みにそのメモリセル部の各セルの負荷をポリシリコンによる高抵抗で構成した場合その情報保持時の消費電力はたかだか10mWにも満たず低電力化が可能となる。又周辺回路部1において低電源電圧による記憶情報保持時における消費電力の浪費と無関係に設計が可能となる為高速性を犠牲にすることはない。

しかしながら、この方式においては電源電圧の増加にともないメモリの端子数が増し、又外部からの電源電圧制御の煩わしさが生ずる。

本発明の目的は、電源端子の増加及び外部からの電源切り換えのための制御をも必要としない記憶情報保持時における低消費電力のメモリを提供することにある。

又本発明の他の目的は、低電源電圧により記憶情報の保持が可能なる高速メモリを提供することにある。

(3)

V_1 にそのまま接続されている。トランジスタ Q_1 は電源供給のスイッチ用であり実際には複数にて構成されているが、ドレインは電源電圧 V_1 に、ソースは各周辺回路部12の電源入力点 P_1 に結ばれている。又トランジスタ Q_1 のゲートは電源制御回路13からの出力点 P_2 に接続されている。第3図に示したようにトランジスタ Q_1 は周辺回路部12とアースとの間に設置されても構わない。

トランジスタ Q_2, Q_3 は電源制御回路13内のドライバトランジスタであり、ドレインは各々負荷抵抗 R_1, R_2 を通じ電源電圧 V_1 に接続され、ソースは接地されている。又トランジスタ Q_2 のドレインは電源制御回路13の出力 P_2 となる。トランジスタ Q_2 のゲートにはトランジスタ Q_1 のドレインを結び節点 P_3 とする。

トランジスタ Q_4, Q_5, Q_6 は基準電圧発生用であり、トランジスタ Q_4 のゲート及びドレインをトランジスタ Q_1 のソースに結び、トランジスタ Q_5 のゲート及びドレインをトランジスタ

(5)

第3図は本発明の特徴をもつとも良く表わすメモリの構成図である。メモリセル部5はメモリの電源電圧 V_1 にそのまま接続されているが、周辺回路部6又は7は電源側あるいはアース側との間に電源供給スイッチ回路8又は9を持つ。又電源供給スイッチ回路8及び9は電源制御回路10によつてコントロールされている。

通常メモリ動作時には、電源電圧 V_1 は高レベルであり電源制御回路10により電源供給スイッチ回路8, 9は導通状態を保っている。一方電源電圧 V_1 が低レベルに切り換えられ記憶情報保持モードに変化する時、同時に電源制御回路10が作動し電源供給スイッチ回路8, 9は非導通状態に変化する。これにより低電源電圧による記憶情報の保持時には電源電圧 V_1 はメモリセル部5にのみ供給され低消費電力化が可能となる。

第4図は本発明の回路方式に適合する代表的な回路例である。モストランジスタは全てNチャンネルエンハンスメント型として説明する。

第3図と同様にメモリセル部11は電源電圧

(4)

Q_1 のソースに結び、トランジスタ Q_2 のゲートとドレインを電源電圧 V_1 に接続する。トランジスタ Q_2 のソースは節点 P_4 としトランジスタ Q_3 のゲートに結び、又抵抗 R_1 を通して接地する。抵抗 R_1, R_2, R_3 は電源制御回路13の消費電力を低減させる為にも1M Ω 程度の高抵抗が望ましい。これはメモリセル部の各セルの負荷をポリシリコンによる高抵抗で、生成する場合、同時に作る事が可能である。容量Cは節点 P_2 の浮遊容量とする。

通常電源電圧 V_1 が高レベル(たとえば5V付近)の時、節点 P_4 の電位はトランジスタ Q_2 のしきい値電圧より高くトランジスタ Q_2 を導通するように設計し、節点 P_2 の電位は低レベルにありトランジスタ Q_2 を非導通となるように設計する。従つて節点 P_2 は電源電圧 V_1 と同電位となりトランジスタ Q_1 を導通状態にし、周辺回路部12に電源電圧 V_1 を供給する。

今、電源電圧 V_1 が記憶情報保持モードとなり、低電圧レベル(たとえば1.5V~3V)に降下し

(6)

たとする。この時トランジスタ Q_1, Q_2, Q_3 により節点 P_1 の電位も同様に低下しトランジスタ Q_4 のしきい値電圧よりも低くトランジスタ Q_4 は非導通となり、節点 P_1 は電源電圧 V_1 と同電位となる。

低電圧レベルとはいえこの電位はトランジスタ Q_2 を導通させるには十分であり従つて節点 P_2 は低レベルとなりトランジスタ Q_1 を非導通状態にし周辺回路部12への電源の供給はしや断される。

これにより低電源電圧による記憶情報保持モードでの電源供給はメモリセル部11へのみとなり低消費電力化が可能となる。

第5図は第4図における各点のタイミングチャートの一例である。一般に電源電圧 V_1 の記憶情報保持モードへの切換え及び通常動作モードへの復帰は瞬時にて行われるが、

システム上の電源ラインの浮遊容量の為その変化はなだらかなカーブを描く。記憶情報保持モードへの移行は時間 t_1 より始まり電源電圧 V_1 の

(7)

持が可能なメモリの概念図、

第2図は従来の改良された低電源電圧により記憶情報の保持が可能なメモリの概念図、

第3図は本発明の原理を使用したメモリの概略図、

第4図は本発明の回路方式に適する代表的な回路例を示す図、

第5図は第4図におけるタイミングチャートの一例である。

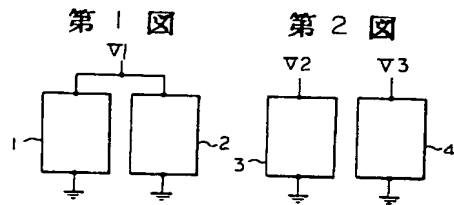
5…メモリセル部、6, 7…周辺回路部、8, 9…電源供給スイッチ回路、10…電源制御回路、11…メモリセル部、12…周辺回路部、13…電源制御回路、 $P_1 \sim P_4$ …節点、 $Q_1 \sim Q_6$ …モストランジスタ、 $R_1 \sim R_3$ …抵抗、 C …容量、 $t_1 \sim t_4$ …時間、 V_1, V_2 …電源電圧。

低下とともに節点 P_4 の電位も下がり、その電位がトランジスタ Q_4 のしきい値電圧よりも下まつた時(t_2)、節点 P_3 の電位は上昇し又節点 P_2 の電位は急速に低レベルへと低下する。又通常動作モードへの復帰は時間 t_3 より始まり電源電圧 V_1 の上昇とともに節点 P_1 の電位も上がり、その電位がトランジスタ Q_1 のしきい値を上まつた時(t_4)、節点 P_1 の電位は低下し、又節点 P_2 の電位は電源電圧 V_1 と同レベルへと上昇する。節点 P_1 の電源電圧 V_1 への追従性は非常に良く通常動作モードへの復帰時においても数十ms.見込んでおけば十分である。

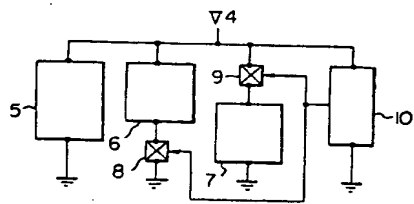
本発明の電源制御回路は、ピン数を減少させることが可能となり、それぞれの電源スイッチ回路に合わせ自由に設計することができる。又この方式が従来の改良された方法と同様低電源電圧により記憶情報の保持が可能にもかかわらず周辺回路の高速化が可能なことは容易に理解されよう。

4. 図面の簡単な説明

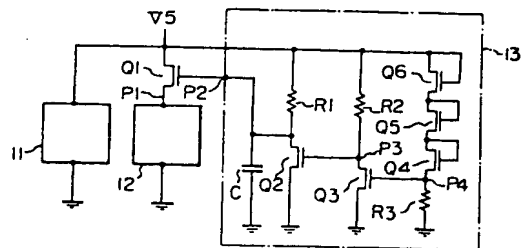
第1図は従来の低電源電圧により記憶情報の保
(8)



第3図



第4図



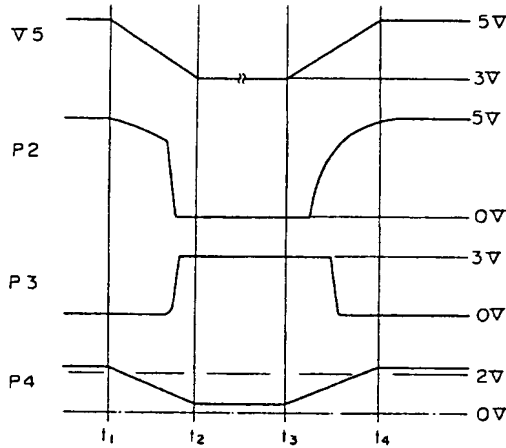
特許出願人 沖電気工業株式会社
代理人 鈴木 敏 明

(9)

手続補正書(自発)

昭和 53. 3. 8 日

第 5 図



特許庁長官 殿

1 事件の表示

昭和53年 特 許 願第 044126号

2 発明の名称

記憶装置

3 補正をする者

事件との関係

特許出願人

住所(〒105)

東京都港区虎ノ門1丁目7番12号

名称(029)

沖電気工業株式会社

代表者

取締役社長 三宅正男

4 代理人

居 所(〒105)

東京都港区虎ノ門1丁目7番12号

氏 名(6892)

沖電気工業株式会社内

弁理士 鈴木敏明

電話 501-3111(大代表)

5. 補正の対象 図面中「第5図」

6. 補正の内容 第5図を別紙のとおり補正する。

第 5 図

